

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121615  
(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 21/768

(21) Application number : 09-291738

(71)Applicant : SONY CORP

(22) Date of filing : 08.10.1997

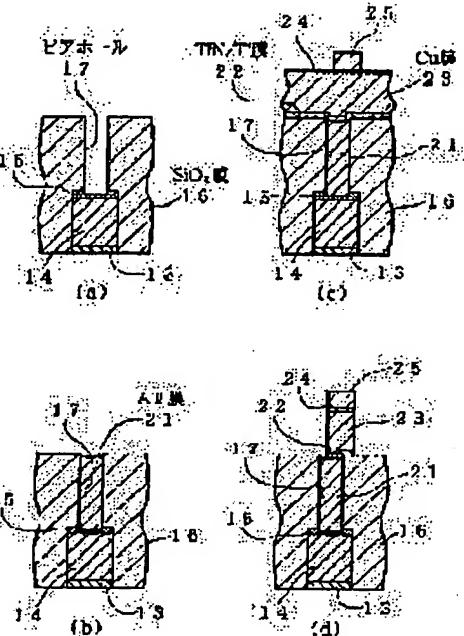
(72)Inventor : KOYAMA KAZUHIDE

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce plug resistance, increase electromigration resistance and reduce reactor of wirings, even in a borderless structure type wiring layout.

**SOLUTION:** This manufacturing method comprises forming plugs with an Al film 21, etching a Cu film 23 to form a wiring pattern with a TiN/Ti film 22 used as an etching stopper, and etching this film 22 to form a wiring pattern with the Al film 21 used as an etching stopper. As a result, if a wiring pattern should deviate from the positions of vias 17 during patterning for the wiring as much as the Al film 21 to be plugs is exposed, the plugs can be etched to restrain their cross sectional areas from being reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

FP00-0073  
-00KR-AJ  
03 9.29  
QA

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121615

(43) 公開日 平成11年(1999)4月30日

(51) Int.CI\*

識別記号

F:

H01L 21/768

H01L 21/768

B

審査請求 未請求 請求項の数5 FD (全6頁)

(21) 出願番号 特願平9-291738

(71) 出願人 000002185

(22) 出願日 平成9年(1997)10月8日

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小山一英

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

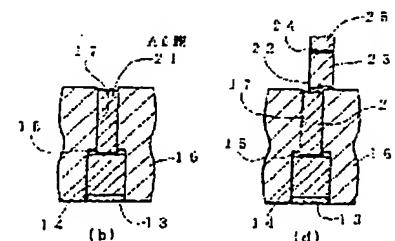
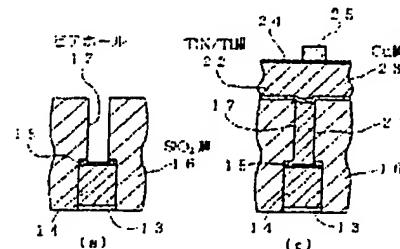
(74) 代理人 方理士 土尾勝

(54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【課題】 ボーダレス構造の配線レイアウトでもプラグの抵抗を低く且つエレクトロマイグレーション耐性を高くし、また、配線の低抵抗化を可能にする。

【解決手段】 A1膜21でプラグを形成し、TIN/Ti膜22をエッチングストップにしてCu膜23を配線のパターンにエッチングし、A1膜21をエッチングストップにしてTIN/Ti膜22を配線のパターンにエッチングする。このため、配線のパターンに際して配線のパターンがビアホール17から位置ずれしてプラグであるA1膜21が露出しても、プラグがエッジングされてその断面が減少することを抑制することができる。



JP00-0073
-00KR-AJ
03.9.29
QA

#### 【特許請求の範囲】

【請求項 1】 鋼板間に設けられている接続孔をA1含有膜で埋める工程と、

前記A1含有膜とはエッチング特性が異なる第1の塗電膜とこの第1の塗電膜とはエッチング特性が異なる第2の塗電膜とを前記塗電膜上及び前記A1含有膜上に順次に形成する工程と、

前記第1の塗電膜をエッチングストップにして前記第2の塗電膜を配線のパターンにエッチングする工程と、

前記A1含有膜をエッチングストップにして前記第1の塗電膜を前記配線のパターンにエッチングする工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記A1含有膜を選択CVD法で前記接続孔内に形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】 硅素を含むガスを用いるドライエッチングによって前記第1の塗電膜に対する前記エッチングを行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 4】 TiNまたはTiONを少なくとも一部に含む膜を前記第1の塗電膜として用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 5】 Cu含有膜を前記第2の塗電膜として用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 6】 鋼板間に設けられている接続孔をA1含有膜が埋めており、

前記A1含有膜とはエッチング特性が異なる下層側の第1の塗電膜とこの第1の塗電膜とはエッチング特性が異なる上層側の第2の塗電膜とから成る配線が前記A1含有膜の表面の一部を覆っており、

前記A1含有膜のうちで前記配線に覆われている部分と覆われていない部分との段差が前記第2の塗電膜の厚さの10%以下であることを特徴とする半導体装置。

【請求項 7】 TiNまたはTiONを少なくとも一部に含む膜が前記第1の塗電膜になつていることを特徴とする請求項6記載の半導体装置。

【請求項 8】 Cu含有膜が前記第2の塗電膜になつていることを特徴とする請求項6記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本願の発明は、接続孔を介して配線が下層の接続領域に電気的に接続されている半導体装置及びその製造方法に関するものである。

##### 【0002】

【従来の技術】 コンタクトホールやビアホール等の接続孔の径が半導体装置の微細化に伴って縮小されても、層間絶縁膜の確保等のために層間塗膜は薄膜化されにくいので、半導体装置の微細化に伴って接続孔のアスペクト比が上昇している。このため、配線を形成するため

のA1膜やA1合金膜をスパッタ法で形成すると、シャドウイング効果のために接続孔の特に底部近傍にA1膜やA1合金膜が形成されにくくて、配線が断線し易い。

【0003】 そこで、この断線を防止するために、CVD法で堆積させたW膜から成るプラグで接続孔を埋めながら、配線を形成するためのA1膜やA1合金膜を堆積させる方法や、高温スパッタ法やリフロー法や高圧リフロー法等によって、配線を形成するためのA1膜やA1合金膜をアスペクト比の高い接続孔内にも埋め込む方法を考えられている。

【0004】 一方、図2は、半導体装置における通常構造の配線レイアウトを示している。この配線レイアウトにおける配線11は、パターンング時に接続孔12から位置すれば、接続孔12を介して下層の接続領域に確実に電気的に接続される様に、接続孔12の周囲に余裕部として幅100nm程度の部11eを有している。

【0005】 しかし、図2に示した通常構造の配線レイアウトでは、配線11が部11eを有しているので、接続孔12が配線11のピッチの方向に並んでいないでても部11eの幅だけ配線11のピッチが広くなり、接続孔12が配線11のピッチの方向に並んでいれば部11eの幅の2倍も配線11のピッチが広くなつて、半導体装置の微細化に不利である。

【0006】 このため、図3に示す様に、配線11が部11eを有していない所謂ボーダレス構造の配線レイアウトが考えられている。このボーダレス構造の配線レイアウトでは、配線11のピッチが配線11の幅と配線11間の間隔との和だけになるので、半導体装置の微細化に有利である。

##### 【0007】

【発明が解決しようとする課題】 ところが、W膜から成るプラグで接続孔が埋められていると、A1膜やA1合金膜で接続孔が埋められている場合に比べて、接続孔内の抵抗が2倍以上になるので、半導体装置の高速化及び低消費電力化に不利である。

【0008】 一方、配線を形成するためのA1膜やA1合金膜で接続孔を埋め、且つ、図3に示したボーダレス構造の配線レイアウトを採用した場合において、配線11のパターンングに際してこの配線11のパターンが接続孔12から位置すればすると、図4に示す様に、配線11のパターンングに際して接続孔12内のA1膜やA1合金膜もエッチングされてその断面積が減少する。

【0009】 この結果、配線11のうちで接続孔12内の部分の抵抗が高くなると共にエレクトロマイグレーション耐性が低くなるので、高速化、低消費電力化及び高信頼性を達成することが困難になつて、結局、微細化を達成することも困難になる。つまり、従来は、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができる半導体装置を提供する事が困難であった。

【0010】従って、本願の発明は、ボーダレス構造の配線レイアウトでも、プラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の低抵抗化が可能なために、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができる半導体装置及びその製造方法を提供することを目的としている。

【0011】

【課題を解決するための手段】請求項1に係る半導体装置の製造方法では、A1含有膜で接続孔内のプラグを形成し、掩蔽膜上及びA1含有膜上に第1及び第2の塗電膜を順次に形成し、第1の塗電膜をエッチングストップにして第2の塗電膜を配線のパターンにエッチングし、A1含有膜をエッチングストップにして第1の塗電膜を配線のパターンにエッチングする。

【0012】このため、低抵抗であるがA1含有膜に対するエッチング選択比の低い膜を第2の塗電膜として用い、且つ、配線のバーニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを抑制することができる。

【0013】従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができ、また、配線の上層側の第2の塗電膜として低抵抗の塗電膜を用いることができて低抵抗の配線を形成することができる。

【0014】請求項2に係る半導体装置の製造方法では、A1含有膜を選択CVD法で接続孔内に形成するので、プランケットCVD法の様にA1含有膜の形成に先立って接続孔内を含む下地上に密着層を形成しておく必要がなく、第1の塗電膜とはエッチング特性が異なるA1含有膜のみで接続孔内のプラグを形成することができる。

【0015】このため、配線のバーニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを抑制することができます。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0016】請求項3に係る半導体装置の製造方法では、沸騰を含むガスを用いるドライエッチングによって第1の塗電膜をエッチングするが、A1含有膜は沸騰によつては殆どエッチングされない。

【0017】このため、配線のバーニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを抑制することができます。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0018】請求項4に係る半導体装置の製造方法では、TINまたはTiONを少なくとも一部に含む膜を第1の塗電膜として用い、この様な第1の膜ではA1含有膜に対し高いエッチング選択比を確保することができる。

【0019】このため、配線のバーニングに際して配線のパターンが接続孔から位置ずれして接続孔内のプラグであるA1含有膜が露出しても、プラグがエッチングされてその断面積が減少することを確実に抑制することができます。従って、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができる。

【0020】請求項5に係る半導体装置の製造方法では、第2の塗電膜としてC1含有膜を用いるので、特に低抵抗の配線を形成することができる。

【0021】請求項6に係る半導体装置では、接続孔内のプラグであるA1含有膜のうちで配線に覆われている部分と覆われていない部分との段差が配線のうちの上層側の第2の塗電膜の厚さの10%以下であるので、断面積の狭い部分がプラグに少ない。

【0022】しかも、A1含有膜とはエッチング特性が異なる下層側の第1の塗電膜とこの第2の塗電膜とはエッチング特性が異なる上層側の第2の塗電膜とから配線が成っているので、低抵抗であるがA1含有膜に対するエッチング選択比の低い膜が第2の塗電膜になっていてもよい。

【0023】このため、ボーダレス構造の配線レイアウトでもプラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の上層側の第2の塗電膜が低抵抗の塗電膜から成っていてよくて配線の低抵抗化が可能である。

【0024】請求項7に係る半導体装置では、TINまたはTiONを少なくとも一部に含む膜が第1の塗電膜になっているが、この様な第1の膜ではA1含有膜に対して高いエッチング選択比を確保することができる。配線の上層側の第2の塗電膜を選択する際の幅が広くて配線の低抵抗化が容易である。

【0025】請求項8に係る半導体装置では、第2の塗電膜がC1含有膜であるので、配線の抵抗が特に低い。

【0026】

【発明の実施の形態】以下、多層配線構造の半導体装置及びその製造方法に適用した本願の発明の一実施形態を、図1を参照しながら説明する。この半導体装置を製造するためには、まず、素子分離領域やトランジスタ等の各種半導体素子を従来公知の工程で半導体基板に形成しておく。

【0027】その後、図1(e)に示す様に、パリアメタル膜としてのTIN/Ti膜13、A1膜14及び反射防止膜としてのTIN膜15を下地の層間絶縁膜上に順次に形成し、これらの膜を下層側の配線のパターンに

加工する。Al膜14の代わりにCu膜等を用いてもよい。そして、下記の条件のプラズマCVD法で、下層側の記録上の厚さが750nmであるSiO<sub>2</sub>膜16等を層間绝缘膜として形成する。

【0028】 SiO<sub>2</sub>膜のプラズマCVD条件

ガス: TEOS = 50sccm

圧力: 0.4Pa

高周波電力: 190W

基板加热温度: 400°C

【0029】その後、直径が250nmであるビアホールのパターンのフォトレジスト(図示せず)をリソグラフィでSiO<sub>2</sub>膜16上に形成し、このフォトレジストをマスクにして、アスペクト比が3.0であるビアホール17を下記の条件のエッチングでSiO<sub>2</sub>膜16に開孔する。

【0030】 SiO<sub>2</sub>膜のエッチング条件

ガス: C<sub>4</sub>F<sub>8</sub>/CO/Ar = 10/100/200sccm

圧力: 6Pa

高周波電力: 1500W

基板温度: 200°C

【0031】次に、フォトレジストを除去し、下地表面にクリーニング処理を施した後、図1(b)に示す様に、下記の条件の選択CVD法でビアホール17をAl膜21で埋め、このAl膜21でビアホール17内のプラグを形成する。Al膜21がビアホール17外にまで形成された場合は、下記の条件の化学的機械的研磨によってビアホール17外のAl膜21を除去する。

【0032】 Al膜の選択CVD条件

原料: 水素化ジメチルアルミニウム(Al(CH<sub>3</sub>)<sub>2</sub>H)n = 0.11g/分

キャリアガス: H<sub>2</sub> = 650sccm

圧力: 266Pa

基板加热温度: 200°C

【0033】 Al膜の化学的機械的研磨条件

研磨圧力: 100g/cm<sup>2</sup>

回転数: 定盤 = 30 rpm、研磨ヘッド = 30 rpm

研磨パッド: IC-1000D(商品名)

スラリー: H<sub>2</sub>O<sub>2</sub>ベース(アルミナ含有)

流量: 100cc/分

温度: 25~30°C

【0034】次に、下記の条件のスパッタエッチクリーニング処理を下地表面に施した後、下記の条件のスパッタ法でTi膜とTiN膜とを順次に堆積させて、図1(c)に示す様に、バリアメタル膜として厚さ25/5nmのTiN/Ti膜22を形成する。なお、Ti膜及びTiN膜を堆積させるための下記のスパッタ条件は、TiN/Ti膜13及びTiN膜15の形成にも適用することができる。

【0035】スパッタエッチクリーニング条件

ガス: Ar = 100sccm

圧力: 0.4Pa

エッチング時間: 1分

高周波バイアス: 1000V

基板加热温度: 200°C

【0036】 Ti膜のスパッタ条件

ガス: Ar = 100sccm

圧力: 0.4Pa

直流電力: 6kW

基板加热温度: 200°C

【0037】 TiN膜のスパッタ条件

ガス: Ar/N<sub>2</sub> = 20/70sccm

圧力: 0.4Pa

直流電力: 12kW

基板加热温度: 200°C

【0038】その後、下記の条件のスパッタ法でCu膜23を堆積させ、上記のTiN膜のスパッタ条件で反射防止膜として厚さ30nmのTiN膜24を堆積させ、更に、上記のSiO<sub>2</sub>膜のプラズマCVD条件で厚さ200nmのSiO<sub>2</sub>膜25を堆積させる。

【0039】 Cu膜のスパッタ条件

ガス: Ar = 100sccm

圧力: 0.4Pa

直流電力: 15kW

基板加热温度: 200°C

【0040】そして、配線のパターンのフォトレジスト(図示せず)をリソグラフィでSiO<sub>2</sub>膜25上に形成し、このフォトレジストをマスクにしてSiO<sub>2</sub>膜25をエッチングした後、フォトレジストを除去する。なお、配線のパターンのフォトレジストの形成に際して、ポータレス構造の配線レイアウトを採用する。

【0041】次に、図1(d)に示す様に、SiO<sub>2</sub>膜25をマスクにして、下記のCu膜のエッチング条件でTiN膜24及びCu膜23をエッチングし、引き続き、下記のTiN/Ti膜のエッチング条件でTiN/Ti膜22をエッチングして、上層側の配線を形成する。なお、Cu膜23のエッチングに際しては、温度を正確に制御することが重要である。

【0042】 Cu膜のエッチング条件

ガス: Cl<sub>2</sub>/Ar = 5/50sccm

圧力: 0.1Pa

高周波バイアス: 300W

加热温度: 250°C

【0043】 TiN/Ti膜のエッチング条件

ガス: C<sub>4</sub>F<sub>8</sub>/Ar = 50/200sccm

圧力: 2Pa

高周波バイアス: 100W

無加熱

【0044】上記のCu膜のエッチング条件では、Cuのエッチング速度がTiNのエッチング速度の5倍以上

であるので、 $TiN/Ti$ 膜22のうちの上層側の $TiN$ 膜で $Cu$ 膜23に対するエッチングを停止させることができる。つまり、 $TiN/Ti$ 膜22が $Cu$ 膜23のエッチングストップになっている。

【0045】また、ボーダレス構造の配線レイアウトのために、上層側の配線のパターンがピアホール17から位置ずれして、 $TiN/Ti$ 膜22のエッチングに伴ってピアホール17内の $Al$ 膜21が露出し、且つ、 $TiN/Ti$ 膜22を十分にオーバーエッチングしても、上記の $TiN/Ti$ 膜のエッチング条件ではピアホール17内の $Al$ 膜21は殆どエッチングされない。

【0046】具体的には、 $TiN/Ti$ 膜22に5.0%のオーバーエッチングを施しても、 $Al$ 膜21のうちで $TiN/Ti$ 膜22に覆われている部分と覆われていない部分との段差が $Cu$ 膜23の厚さの10%以下である。つまり、 $Al$ 膜21が $TiN/Ti$ 膜22のエッチングストップになっている。

【0047】なお、 $TiN/Ti$ 膜22のうちで主に上層側の $TiN$ 膜が $Cu$ 膜23のエッチングストップになっており、 $TiN/Ti$ 膜22のうちの下層側の $Ti$ 膜は上層側の $TiN$ 膜の形成時における $Al$ 膜21の表面の空化を防止して $TiN/Ti$ 膜22のうちの上層側の $TiN$ 膜と $Al$ 膜21とを低抵抗で接続するためのものである。このため、既述の様に、 $TiN/Ti$ 膜22のうちの下層側の $Ti$ 膜は上層側の $TiN$ 膜に比べて薄くする。

【0048】以上の様な本実施形態では、上層側の配線のパターンに際して、ピアホール17内のプラグである $Al$ 膜21が殆どエッチングされないので、この $Al$ 膜21の断面積が殆ど減少せず、低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができる。

【0049】また、ピアホール17内のプラグを $Al$ 膜21で形成しているが、上層側の配線は主に $Cu$ 膜23で形成しており、 $Cu$ 膜は $Al$ 膜よりも抵抗が低く且つ信頼性が高いので、低抵抗且つ高信頼性の上層側の配線を形成することができる。

【0050】なお、以上の実施形態は多層配線構造の半導体装置及びその製造方法に本願の発明を適用して、下層側の配線と上層側の配線とを接続するためのピアホール17内に $Al$ 膜21から成るプラグを形成しているが、半導体基板の拡散層と配線とを接続するためのコンタクトホール内にプラグを有する半導体装置及びその製造方法等にも本願の発明を適用することができる。

【0051】また、上述の実施形態では $SiO_2$ 膜16で層間绝缘膜を形成しているが、 $BPSG$ 、 $PSG$ 、 $BSG$ 、 $ASSG$ 、 $SOG$ 、 $SIN$ 、 $SION$ 、 $SiOF$ 等の $Si$ 化合物から成る膜や、製造工程の最高温度が耐熱性を満たす範囲内での非晶質テフロン(*poly-tetra-1-voro-ethylene*)、 $B$ CB(*benzo-cyclo-butene*)、 $F$ 1 $s$

$re$ (*fluorinated-aryl-ether*)等の有機系低誘電率材料から成る膜や、以上の膜の種類等を $SiO_2$ 膜16の代わりに用いてもよい。

【0052】また、上述の実施形態ではピアホール17内のプラグを $Al$ 膜21で形成しているが、 $Al-Cu$ 、 $Al-Si$ 、 $Al-Si-Cu$ 、 $Al-Ge$ 、 $Al-Si-Ge$ 、 $Al-Ge-Cu$ 、 $Al-Cu-Ti$ 、 $Al-Si-Ti$ 、 $Al-Sc$ 、 $Al-Sc-Cu$ 等の $Al$ 系合金から成る膜を $Al$ 膜21の代わりに用いてもよい。

【0053】また、上述の実施形態では $Cu$ 膜23のエッチングストップとして $TiN/Ti$ 膜22を用いているが、 $TiON$ 、 $W$ 、 $WN$ 、 $TiW$ 、 $TiWN$ 、 $Te$ 、 $TiN$ 等から成る膜やこれらの膜の種類等を $TiN/Ti$ 膜22の代わりに用いてもよい。

【0054】また、上述の実施形態では主に $Cu$ 膜23で上層側の配線を形成しているが、 $Cu-Ti$ や $Cu-Zr$ 等の $Cu$ 系合金、 $Al$ 、 $Al$ 、プラグを形成するための上述の $Al$ 系合金等から成る膜やこれらの膜の種類等を $Cu$ 膜23の代わりに用いてもよい。

【0055】

【発明の効果】請求項1に係る半導体装置の製造方法では、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを形成することができ、また、低抵抗の配線を形成することができるので、微細、高速、低消費電力で且つ信頼性の高い半導体装置を製造することができる。

【0056】請求項2～4に係る半導体装置の製造方法では、ボーダレス構造の配線レイアウトを採用しても低抵抗で且つエレクトロマイグレーション耐性の高いプラグを確実に形成することができるので、微細、高速、低消費電力で且つ信頼性の高い半導体装置を確実に製造することができる。

【0057】請求項5に係る半導体装置の製造方法では、特に低抵抗の配線を形成することができるので、特に高速、低消費電力であり且つ微細で信頼性も高い半導体装置を製造することができる。

【0058】請求項6に係る半導体装置では、ボーダレス構造の配線レイアウトでもプラグの抵抗が低く且つエレクトロマイグレーション耐性が高く、また、配線の低抵抗化が可能であるので、微細化、高速化、低消費電力化及び高信頼性を同時に達成することができる。

【0059】請求項7に係る半導体装置では、配線の低抵抗化が容易であるので、高速化及び低消費電力化を容易に達成することができ且つ微細化及び高信頼性も達成することができる。

【0060】請求項8に係る半導体装置では、配線の抵抗が特に低いので、特に高速化及び低消費電力化を容易に達成することができ且つ微細化及び高信頼性も達成することができる。